



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09274623 A**(43) Date of publication of application: **21.10.97**

(51) Int. Cl.

G06F 17/50
G01R 31/28
H05K 3/00

(21) Application number: **08085483**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **08.04.96**(72) Inventor: **IZUMI MASAO**

(54) **TRANSMISSION LINE SIMULATION SYSTEM AND
TRANSMISSION LINE SIMULATION METHOD
USING THE SAME**

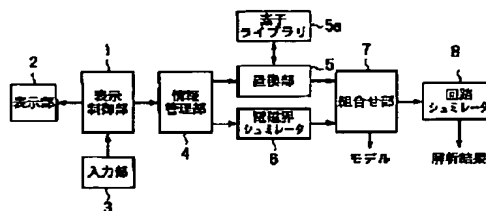
characteristics.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve accuracy and to reduce man-hour for transmission line simulation on the upstream stage of design.

SOLUTION: When an element symbolized on the stage of design and connection are inputted, a display control part 1 displays the physical form and wiring topology of application board of the connection on a display part 2 and selects the property of connection through an input part 3. The property is applied to an electromagnetic field simulator 6, and the electromagnetic field simulator 6 calculates the line constant of connection and prepares a line model. The element symbol is applied to a replacing part 5, and the replacing part 5 extracts a device model from an element library 5a. The line model and the device model are combined by a combination part 7, and the equivalent circuit of an evaluation object circuit is formed. With respect to the equivalent circuit, a line simulator 8 performs the transmission line analysis of delay or reflection



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-274623

(43)公開日 平成9年(1997)10月21日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 6 4 K
G 0 1 R 31/28			H 0 5 K 3/00	D
H 0 5 K 3/00			G 0 1 R 31/28	F
			G 0 6 F 15/60	6 1 0 A
				6 5 8 E
審査請求 未請求 請求項の数4 O L (全 9 頁)				

(21)出願番号 特願平8-85483

(22)出願日 平成8年(1996)4月8日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 泉 正夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

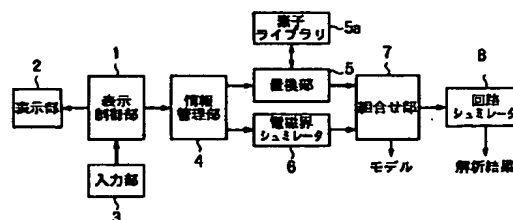
(74)代理人 弁理士 柿本 義成

(54)【発明の名称】 伝送線路シミュレーションシステムとそれを用いた伝送線路シミュレーション方法

(57)【要約】

【課題】 設計上流段階の伝送線路シミュレーションにおける精度向上と工数の削減を実現する。

【解決手段】 設計段階でシンボル化された素子と結線が入力されると、表示制御部1は、表示部2に結線の適用基板の物理形状と配線トポロジを表示し、結線のプロパティを入力部3を介して選択させる。プロパティは電磁界シミュレータ6に与えられ、該電磁界シミュレータ6は結線の線路定数を計算し、線路モデルを作成する。素子シンボルは置換部5に与えられ、置換部5はデバイスモデルを素子ライブラリ5aから抽出する。線路モデルとデバイスモデルは、組合せ部7で組合わされて評価対象回路の等価回路が形成される。回路シミュレータ8が、その等価回路に対して、遅延や反射特性等の伝送線路解析を行う。



本発明の第1の実施形態のスキーマティックキャプチャ

【特許請求の範囲】

【請求項1】 設計上流段階の評価対象回路の素子シンボルと該素子シンボルに接続された結線とを入力する入力部と、

前記結線用ラインを配置する適用基板の断面における物理形状及び寸法と該結線用ラインの配線方法とをそれぞれ選択設定させるためのプロパティメニューを表示する表示手段と、

前記プロパティメニューの表示の結果で設定されたプロパティに基づき線路定数を計算し、前記結線に対応する線路モデルを求める電磁界シミュレータと、

予め素子の特性を示すデバイスモデルを複数格納した素子ライブラリから、前記素子シンボルに対応するデバイスモデルを抽出し、前記入力された素子シンボルを該抽出したデバイスモデルに置換える置換部と、

前記線路モデルと前記デバイスモデルとを組合せて前記評価対象回路の等価回路を作成する組合せ部と、

前記等価回路に対する伝送線路解析を行う回路シミュレータとを、

備えたことを特徴とする伝送線路シミュレーションシステム。

【請求項2】 前記素子ライブラリは、予め、3次元の電磁界シミュレーションで挿入損失特性を得ることのできるL型、 π 型またはT型のラダーモデルもしくはSパラメータで形成されたコネクタの等価モデルを格納し、前記置換部は、前記結線にコネクタが介在する場合には、該コネクタに対応する前記素子シンボルをそのコネクタの等価モデルに置換する構成にしたことを特徴とする請求項1記載の伝送線路シミュレーションシステム。

【請求項3】 基板の回路設計段階で作成した回路図のクリティカルネットに対し、請求項1または2記載の伝送線路シミュレーションシステムを用いて伝送線路解析を行い、規格を満足する前記結線の配線条件を決定した後、該配線条件を、実際の基板のレイアウトを行うレイアウトツールに対して定義することを特徴とする伝送線路シミュレーション方法。

【請求項4】 設計された論理回路図中のすべてのネットに対し、請求項1または2記載の伝送線路シミュレーションシステムを用いて伝送線路解析を行い、線路遅延と反射とクロストークを含んだ信号伝送波形をそれぞれ求め、該信号伝送波形を論理シミュレーションのテストパターンとして使用することを特徴とする伝送線路シミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板単体及び装置システム全体における伝送線路シミュレーションに係わり、部品配置条件、配布線条件の設定と、システム内の機能分割及び性能評価等について、設計の上流（方式設計、回路設計）段階で評価する伝送線路シミュレーシ

ョンシステムと、それを用いた伝送線路シミュレーション方法に関するものである。

【0002】

【従来の技術】ボールグリッドアレイやマルチチップモジュールを搭載する基板、プリント基板自体、及びバックワイヤード等の種々の基板設計、或いは装置の設計を行うために、電子計算機が用いられる。電子計算機をベースにした装置設計及び基板設計において、伝送線路解析を行う場合、（1）基板設計完了後の実配線パターンによって、シミュレーションを行う方法と、（2）回路設計の前に実験、或いは直接回路シミュレーションを行う方法と、（3）PCB-CADと回路シミュレーションを組み合わせる方法とがある。ここで、（1）～（3）の方法の概略を説明する。

【0003】（1） 実配線パターンによるシミュレーション

図2は、従来のシミュレーション方法（その1）を示す図である。PCB-CADで配置・配線設計を行う前に、遅延制限と、最大配線長規制や最大分岐長規制等の反射ノイズ規制と、導体間隔規制や平行配線規制等のクロストーク制限とを、手計算、回路設計者のノウハウ或いは従来設計の流用等で求める（図2のS1）。それら各規制や制限が、設計ルールとしてPCB-CADに定義される。（S2）。PCB-CADは、この設計ルールに基づいて、配置・配線設計を行う（S3）。そして、設計完了後の実配線パターンにより、遅延及びノイズシミュレーションを行う（S4）。シミュレーションS4の結果、エラーがあれば、PCB-CADのパターンエディタを用いて修正を行う（S5）。エラーが無くなるまで、シミュレーションS4と修正S5とを繰り返す。

【0004】（2） 実験で条件設定するシミュレーション

図3は、従来のシミュレーション方法（その2）を示す図である。事前の実験によってノイズ量と遅延値を把握し（図3のS11）、最悪のケースのノイズ量と遅延値を、回路設計時の回路図の中にプロパティとして、信号線に与えて条件設定し（S12）、これを設計ルールとしてPCB-CADに定義する。または、（1）の方法と同様に直接、PCB-CADに設計ルールを定義する。以降の処理は、（1）の方法と同じである。

【0005】（3） 回路シミュレーションによって条件設定するシミュレーション

図4は、従来のシミュレーション方法（その3）を示す図である。事前に回路シミュレーションでノイズ量及び遅延値を把握し（図4のS21）、最悪のケースのノイズ量と遅延値を、回路設計時の回路図の中にプロパティとして信号線に与えて条件設定を行い（S22）。これを設計ルールとしてPCB-CADに定義する。または、（1）の方法と同様に、PCB-CADに設計ル

ルを定義する。以降の処理は、(1)の方法と同じである。

【0006】

【発明が解決しようとする課題】しかしながら、従来の伝送線路シミュレーション方法では、次のような課題があった。従来の(1)の方法で、すべての条件を手計算で行うには、マクスウェルの電磁界方程式を解く必要があり、膨大な時間がかかると共に、計算違いの間違った設計条件出しにより、設計品質が劣る場合がある。そのため、配置・配線後の確認シミュレーションS4でエラーが多発し、シミュレーションとレイアウト修正S5を何回も繰り返すことになる。つまり、設計期間が必要以上に伸びる。さらに、修正作業は難易度が高く、変更できないパターンがでる可能性がある。一方、ノウハウによった設定では、熟練者以外はノウハウがないので、設計者が限定されるという課題があった。

【0007】従来の(2)の方法では、基板の物理構造或いは適用デバイスごとに実験基板を開発する必要があるため、実験基板の設計・製造コストが増大すると共に、その実験工数が増大するという問題があった。従来の(3)の方法では、シミュレーションモデルを手でSPICE記述する必要があるため、人工工数が増大する。人手入力ミスの可能性もあり、品質低下に繋がる可能性があるという課題があった。

【0008】

【課題を解決するための手段】第1及び第2の発明は、前記課題を解決するために、伝送線路シミュレーションシステムにおいて、次のような入力部、表示手段、電磁界シミュレータ、置換部、組合せ部、及び回路シミュレータを備えている。入力部は、設計上流段階の評価対象回路の素子シンボルと該素子シンボルに接続された結線とを入力する機能を有している。表示手段は、結線用ラインを配置する適用基板の断面における物理形状及び寸法と該結線用ラインの配線方法とをそれぞれ選択設定させるためのプロパティメニューを表示するものである。電磁界シミュレータは、プロパティメニューの表示の結果で設定されたプロパティに基づき線路定数を計算し、結線に対応する線路モデルを求めるものである。置換部は、予め素子の特性を示すデバイスモデルを複数格納した素子ライブラリから、素子シンボルに対応するデバイスモデルを抽出し、入力された素子シンボルを抽出したデバイスモデルに置換える機能を有している。組合せ部は、線路モデルとデバイスモデルとを組合せて評価対象回路の等価回路を作成する構成である。回路シミュレータは、等価回路に対する伝送線路解析を行うものである。

【0009】第3の発明は、伝送線路シミュレーション方法において、基板の回路設計段階で作成した回路図のクリティカルネットに対し、第1の発明または第2の発明の伝送線路シミュレーションシステムを用いて伝送線

路解析を行い、規格を満足する結線の配線条件を決定した後、該配線条件を、実際の基板のレイアウトを行うレイアウトツールに対して定義するようにしている。第4の発明は、伝送線路シミュレーション方法において、設計された論理回路図中のすべてのネットに対し、第1の発明または第2の発明の伝送線路シミュレーションシステムを用いて伝送線路解析を行い、線路遅延と反射とクロストークを含んだ信号伝送波形をそれぞれ求め、該信号伝送波形を論理シミュレーションのテストパターンとして使用するようにしている。

【0010】第1及び第2の発明によれば、以上のように伝送線路シミュレーションシステムを構成したので、入力部により、入力された評価対象回路の素子シンボルと結線が入力される。表示手段により、適用基板の断面における物理形状及び寸法と配線方法とを設定するためのプロパティメニューが表示される。プロパティメニューの表示の結果で設定されたプロパティに基づき、電磁界シミュレータより、結線に対応する線路モデルが求められる。一方、置換部により、入力されている素子シンボルに対応するデバイスモデルが抽出され、該素子シンボルがデバイスモデルに置換される。組合せ部は、線路モデルとデバイスモデルとを組合せて評価対象回路の等価回路を作成する。そして、回路シミュレータにより、その等価回路に対する伝送線路解析が行われる。

【0011】第3の発明によれば、基板の回路設計段階で作成した回路図のクリティカルネットに対し、第1または第2の発明の伝送線路シミュレーションシステムが用いられ、伝送線路解析が行われる。伝送線路解析の結果から、規格を満足する結線の配線条件が決定され、該配線条件がレイアウトツールに定義される。第4の発明によれば、設計された論理回路図中のすべてのネットに対し、第1の発明または第2の発明の伝送線路シミュレーションシステムが用いられ、伝送線路解析が行われる。伝送線路解析の結果、線路遅延と反射とクロストークを含んだ信号伝送波形がそれぞれ求められ、それが論理シミュレーションのテストパターンとして使用される。従って、前記課題が解決できるのである。

【0012】

【発明の実施の形態】

第1の実施形態

図1は、本発明の第1の実施形態を示すスキマティックキャプチャの構成ブロック図である。装置や基板の設計の上流において、伝送線路シミュレーションでそれらの性能評価及び雑音解析を行う場合、バックパネル、コネクタ及びケーブルを介しての基板間のシミュレーションを行う必要がある。図1のスキマティックキャプチャは、伝送線路シミュレーションシステムであり、従来人手でコーディングしていた評価回路モデルを、自動的に作成することができる。

【0013】このスキマティックキャプチャは、表示制

10

20

30

40

50

御部1を備えている。表示制御部1には、該表示制御部1と相俟って表示手段を構成する表示部2と、設計上流段階の素子シンボルと結線等を入力する入力部3が、接続されている。表示制御部1は、入力部3から入力された情報に基づき、表示部2の表示内容を制御するものであり、表示制御部1の出力側に、情報管理部4が接続されている。情報管理部4に、置換部5と電磁界シミュレータ6が接続されている。置換部5は、素子ライブラリ5aから素子やコネクタのデバイスモデルである等価回路を得るようになっている。素子ライブラリ5aは、予め、各素子シンボルに対応して等価回路化されたデバイスモデルを格納するとともに、3次元の電磁界シミュレーションで挿入損失特性を得ることのできるL型、 π 型またはT型のラダーモデルもしくはSパラメータで形成されたコネクタの等価モデルも格納している。置換部5と電磁界シミュレータ6の出力側が組合せ部7に接続されている。組合せ部7には、回路シミュレータ8が接続されている。

【0014】図5は、図1のスキマティックキャプチャのハードウェア構成例を示す図である。図1のスキマティックキャプチャは、例えば図5のように、プロセッサ11を備えている。プロセッサ11は表示制御部1、情報管理部4、置換部5、電磁界シミュレータ6、組合せ部7、及び回路シミュレータ8を構成するものである。プロセッサ11を中心にしてグラフィックディスプレイ12と、マウス13aを接続したキーボード13bと、ディスク装置14とで構成されている。グラフィックディスプレイ12が表示部2であり、マウス13aとキーボード13bが入力部3に相当する。スキマティックキャプチャは、例えばローカルエリアネットワーク15に接続されている。

【0015】図6は、図1による伝送線路シミュレーションの評価対象回路を示す斜視図であり、図7(a)、(b)は、図1の動作原理を説明する図である。図7(a)は図6のシンボル表現であり、同図(b)はプロパティメニューである。これらの図6及び図7(a)、(b)を参照しつつ、スキマティックキャプチャを用いた伝送線路シミュレーションを説明する。図6のように、プリント基板A上のドライバIC21とプリント基板B上のレシーバIC22とをコネクタ23を介して接続する場合、それらをシンボル化すると図7(a)のようになる。設計上流段階で図7(a)に対応する情報を入力部3を介して、スキマティックキャプチャに入力すると、表示制御部1は、表示部2であるディスプレイ12を制御して、図7(b)に示す伝送線路プロパティメニューを表示する。

【0016】伝送線路プロパティメニューには、伝送線路を適用する基板の断面(クロスセクション)における物理的形状の型が示され、例えばマウス13aでクリック選択できるようになっている。その上、ラインの幅

W、厚さT、接地層からの距離H等及び比誘電率 ϵ_r 等も、入力できる表示になっている。さらに、配線方法の例と配線長等が、配線トポロジとして表示される。オペレータは、表示されたプロパティメニューに対して、マウス13aでクリック選択するか、キーボード13bで条件入力するかして、結線のプロパティを設定して付与する。この付与されたプロパティとドライバIC21とレシーバIC22の情報が情報管理部4に与えられる。情報管理部4は、ドライバIC21とレシーバIC22の情報を置換部5に渡す。置換部5は、予め、各素子シンボルに対応して等価回路化されたデバイスモデルを格納している素子ライブラリ5aから、各IC21、22に対応するモデルと、コネクタ23に対応するモデルを抽出する。一方、付与されたプロパティは、情報管理部4から電磁界シミュレータ6に渡される。電磁界シミュレータ6は、プロパティの基板情報等に基づいた計算で、結線の線路定数R、L、G、Cを求め、これを線路モデルとする。

【0017】図8は、図6に対応する伝送線路シミュレーションモデルを示す図である。組合せ部7は、IC21のモデルM21とコネクタ23のモデルM23の間に、線路定数R、L、G、Cの求められた線路モデルLAを挿入し、IC22のモデルM22とコネクタ23のモデルM23の間に、線路定数R、L、G、Cの求められた線路モデルLBを挿入する。これにより、図6に対応する伝送線路シミュレーションモデルが、図8のように組立てられる。伝送線路シミュレーションモデルは、例えばトランジスタの入出力バッファ回路や、ビヘイビアモデルで表現される。

【0018】図9(a)～(d)は、図8のモデルに対する伝送特性の解析結果を示す図であり、図9(a)は、対象回路の等価回路、同図(b)は反射特性、同図(c)はクロストークノイズ評価、及び同図(d)が損失評価を、それぞれ示している。伝送線路シミュレーションモデルに対し、回路シミュレータ8は、反射特性評価とクロストークノイズ評価と損失評価等の伝送線路解析を行う。図9(b)のように、反射特性評価では、ドライバIC21における図9(a)の測定点P1での波形と、レシーバIC22における測定点P2での波形が時間情報とともに得られる。クロストークノイズ評価では、図9(c)のように、パターン間隔と遠端クロストーク電圧の間の関係が得られる。損失評価では、図9(d)のように、パターン長とレシーバ電圧間の関係が得られる。

【0019】回路シミュレータ8による伝送線路解析の結果から、動作特性等に要求されている性能を満足できるかどうか判定できる。また、伝送線路解析の結果から、図6の構成を実現するためのレイアウト条件の配布線基準を設定できるようになる。さらに、反射やクロストーク等の雑音評価を行い、雑音による誤動作を防止す

るための配線条件を設計の上流で決定することも可能であり、後工程での品質低下を避けることができる。以上のように、この第1の実施形態では、表示制御部1、表示部2、入力部3、情報管理部4、置換部5、電磁界シミュレータ6、及び組合せ部7を備え、ライブラリ5aを参照して素子やコネクタの等価回路を抽出し、伝送線路プロパティメニューを表示して線路定数を求め、伝送線路シミュレーションモデルを自動的に作成するようにしている。そのため、解析精度が良く設計品質が向上する。配布線基準の作成期間が大幅に短縮できる。配布線基準の品質向上により、配置配線後のエラー件数を減ずる等の利点があるばかりでなく、さらに、トータルの設計期間が大幅に削減できるという利点がある。

【0020】第2の実施形態

基板の回路設計途中において、クロックや制御信号等を伝達するクリティカルネットに対して、伝送線路シミュレーションによる基板内の雑音解析を行う場合と、伝送線路波形による論理シミュレーションを行う場合とがある。従来は、設計者のノウハウ、或いは、厳しい設計ルールを与えることで安全サイドの設計を行っていた。これは、過剰品質になると共に設計難易度が増すので、設計期間が増大する原因になっていた。この第2の実施形態では、図1に示されたスキマティックキャプチャを使用して、回路図中に直接解析パラメータをプロパティで設定し、回路シミュレーションを行って、反射及びクロストーク等の雑音評価から配線条件を決定する伝送線路シミュレーション方法である。この伝送線路シミュレーション方法を、以下に説明する。図10(a)(b)は、本発明の第2の実施形態を示すクリティカルネットの回路図であり、図1のスキマティックキャプチャで解析を行うクリティカルネットが示されている。図10(a)は、クリティカルネットの回路図であり、同図(b)が同図(a)の等価回路である。

【0021】図10(a)のように、複数のIC31～35を搭載する基板の回路設計段階で、例えばIC32～34間にクリティカルネット36がある場合、スキマティックキャプチャは、そのクリティカルネット36と該ネットに接続されたIC32～34のシンボルに対応する図10(b)の等価回路を作成する。つまり、スキマティックキャプチャは、第1の実施形態と同様にし、ディスプレイ12に基板の断面と配線トポロジからなるプロパティメニューを表示させる。入力部3を使用してクリティカルネット36のプロパティが付与される。さらに、スキマティックキャプチャは、入力された設計回路に対して、図10(b)の等価回路を作成するとともに、回路シミュレータ8を用いて、伝送線路解析を行う。即ち、各IC31～34のシンボルに対応したデバイスモデルを格納しているライブラリ5aから、等価回路化されたモデルを抽出してシンボルに置換え、プロパティに基づく電磁界シミュレータ6の計算で、結線

の線路定数R、L、G、Cを求め、これを線路モデルとする。これらを組合せ部7が合成し、図10(b)の伝送線路シミュレーションモデルを作成する。さらに、スキマティックキャプチャは、回路シミュレータ8を用いて、反射特性評価とクロストークノイズ評価と損失評価等の伝送線路評価等の伝送線路解析を行う。伝送線路解析の結果、実波形に近い信号伝送波形が得られる。

【0022】スキマティックキャプチャを使用することで、伝送線路解析結果の信号伝送波形は、クリティカルネットの配線条件が決定できる。決定した配線条件が、要求されている動作条件の性能を満足できるかできないかの判定、或いは、実現するためのレイアウト条件(配布線基準)を設定することが可能である。また、反射やクロストーク等の雑音評価を行い、雑音による誤動作を防止するレイアウト条件(配布線基準)を設計上流段階で決定することができる。このレイアウト条件をレイアウトを行うレイアウトツールに定義することで、後工程での品質低下を防止できる。以上のように、この第2の実施形態では、プリント基板等の回路設計段階で、クロック回路や制御信号回路等のクリティカルネットについて、第1の実施形態のスキマティックキャプチャで自動的に伝送線路シミュレーションモデルを作成し、伝送線路解析を行うので、解析精度が良くなり、設計品質が向上する。設計上流での配布線条件出しによって、設計期間が大幅に短縮する。配布線基準の品質向上ができ、配置配線後のエラーが減少する。その上、システムの性能をキープするための最適な設計ルールが作成できる。

【0023】なお、本発明は、上記実施形態に限定されず種々の変形が可能である。上記第1の実施形態では、プリント基板に搭載したマルチチップモジュール間の接続に適した設計例を示しているが、プリント基板→バックパネル→プリント基板、或いはプリント基板→ケーブル→プリント基板等の伝送媒体を介した装置全体の伝送特性評価にも適用が可能である。一方、第2の実施形態では、クリティカルネットのみの配線条件評価に適用した例を示しているが、設計回路の全回路を配線条件評価の対象にすることもできる。図11(a)、(b)は、全回路を対象にした伝送線路シミュレーションの例を示す図であり、同図(a)が通常の論理シミュレーション、及び同図(b)が条件評価したシミュレーションを示している。設計回路の図11(a)の全回路C30を配線条件評価の対象にすると、図11(b)のような等価回路がモデルM30が得られる。そして、伝送線路解析により、全回路における実波形に近い伝送線路シミュレーション波形Hが得られる。この信号伝送波形Hを図示しない論理シミュレータにおけるテストパターンとして用いると、通常の論理シミュレーション結果K1に対して、波形なまりやリングングの影響を加味した正確な遅延情報に基づいた論理シミュレーション結果K2が得られる。

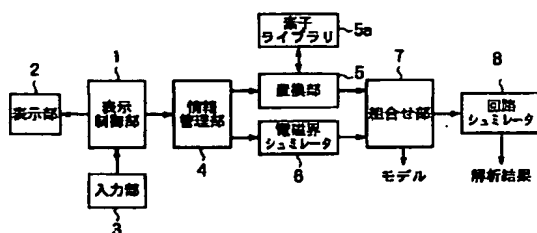
【0024】

【発明の効果】以上詳細に説明したように、第1及び第2の発明によれば、入力部、表示手段、電磁界シミュレータ、置換部、組合せ部及び回路シミュレータを、伝送線路シミュレーションシステムに備えているので、適切な伝送線路シミュレーションモデルが自動的に作成される。そのため、解析精度が良く設計品質が向上する。配布線基準の作成期間が大幅に短縮できる。配布線基準の品質向上により、配置配線後のエラー件数を減ずる等の効果があるばかりでなく、さらに、トータルの設計期間が大幅に削減できるという効果が期待できる。第3の発明によれば、クリティカルネットに対し、第1の発明または第2の発明の伝送線路シミュレーションシステムを用いて伝送線路解析を行い、規格を満足する結線の配線条件を決定した後、該配線条件をレイアウトツールに対して定義するようにしているので、解析精度が良くなり、設計品質が向上する。さらに、設計上流での配布線条件出しによって、設計期間が大幅に短縮する。配布線基準の品質向上ができ、配置配線後のエラーが減少する。その上、システムの性能をキープするための最適な設計ルールが作成できる等の効果を奏する。

【0025】第4の発明によれば、設計された論理回路図中のすべてのネットに対し、第1の発明または第2の発明の伝送線路シミュレーションシステムが用いられ、伝送線路解析が行われる。伝送線路解析の結果、線路遅延と反射とクロストークを含んだ信号伝送波形がそれぞれ求められ、それが論理シミュレーションのテストパターンとして使用される。そのため、波形なまりやリングの影響を加味した正確な遅延情報で論理シミュレーションを行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すスキマティック



本発明の第1の実施形態のスキマティックキャプチャ

キャプチャの構成ブロック図である。

【図2】従来のシミュレーション方法（その1）を示す図である。

【図3】従来のシミュレーション方法（その2）を示す図である。

【図4】従来のシミュレーション方法（その3）を示す図である。

【図5】図1のスキマティックキャプチャのハードウェア構成例を示す図である。

【図6】図1による伝送線路シミュレーションの評価対象回路を示す斜視図である。

【図7】図1の動作原理を説明する図である。

【図8】図6に対応する伝送線路シミュレーションモデルを示す図である。

【図9】図8のモデルに対する伝送特性の解析結果を示す図である。

【図10】本発明の第2の実施形態を示すクリティカルネットの回路図である。

【図11】全回路を対象にした伝送線路シミュレーションの例を示す図である。

【符号の説明】

- | | |
|----|---------------------------|
| 1 | 表示制御部 |
| 2 | 表示部 |
| 3 | 入力部 |
| 5 | 置換部 |
| 5a | 素子ライブラリ |
| 6 | 電磁界シミュレータ |
| 7 | 組合せ部 |
| 8 | 回路シミュレータ |
| 30 | M21, M22 ドライバモデル, レシーバモデル |
| | M23 コネクタモデル |
| | LA, LB 線路モデル |

【図5】

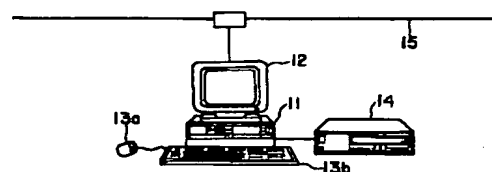
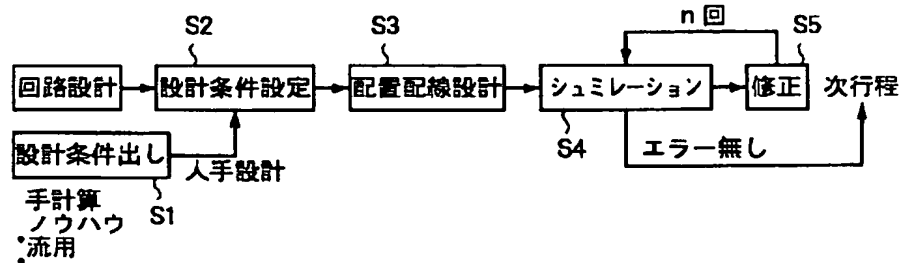


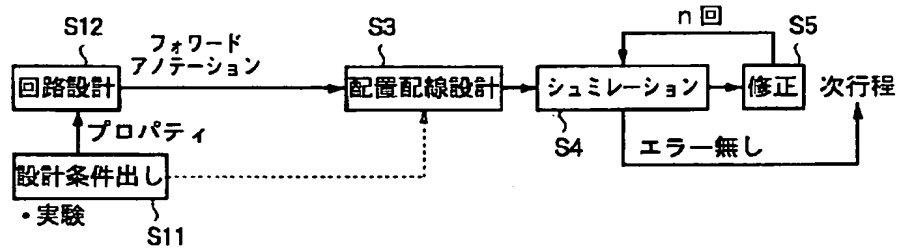
図1のハードウェア構成例

【図2】



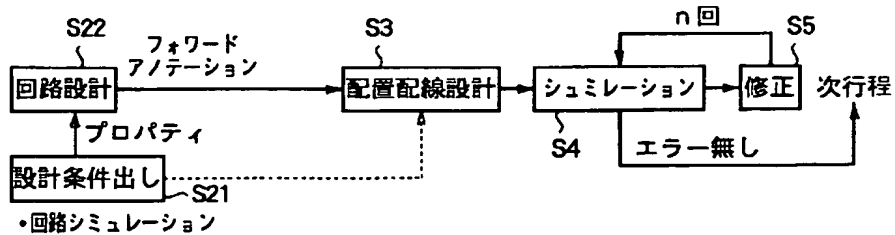
従来のシミュレーション方法(その1)

【図3】



従来のシミュレーション方法(その2)

【図4】



従来のシミュレーション方法(その3)

【図6】

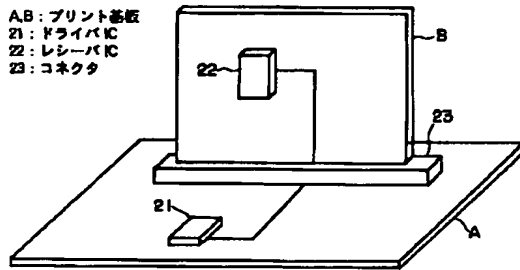
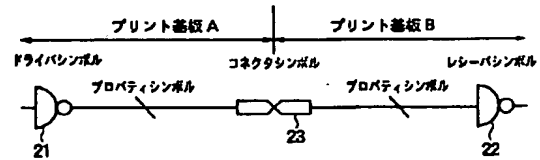


図1の評価対象回路

【図7】



(a)図6のシンボル表現

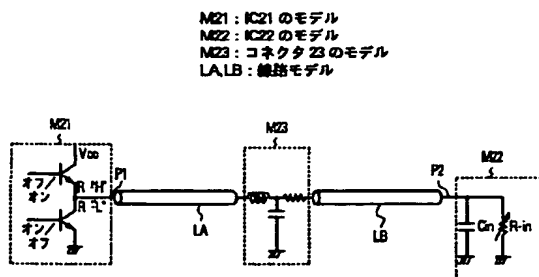
伝送線路プロパティメニュー

クロセクション	<input checked="" type="checkbox"/>	<input type="checkbox"/>	W 180 μ m T 80 μ m H 130 μ m S V 5.0
配線トポロジ	<input type="checkbox"/>	<input checked="" type="checkbox"/>	配線長 Ln-Lm Sim ステップ z VIA 数 1 y z R99999 (R99999)

(b)プロパティメニュー

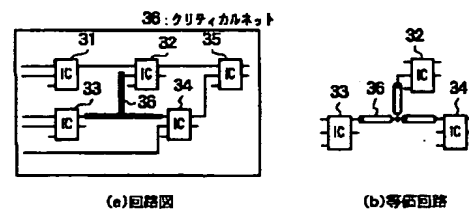
図1の動作原理

【図8】



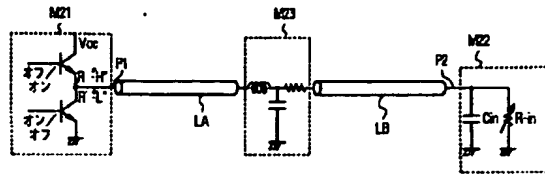
伝送線路シミュレーションモデル

【図10】

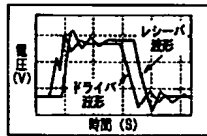


(a)回路図 (b)等価回路
本発明の第2の実施形態のクリティカルネット

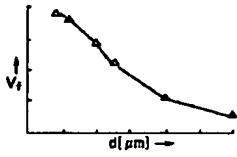
【図9】



(a)等価回路

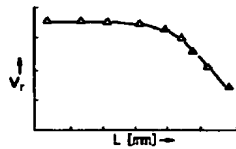


(b)反射特性



V_r : 遠端クロストーク電圧
 d : パターン長

(c)クロストークノイズ評価

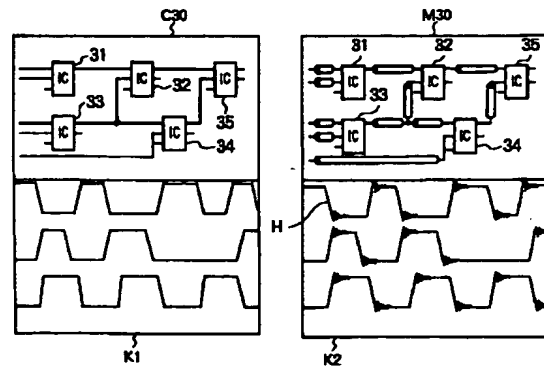


V_r : レーザ電圧
 L : パターン長

(d)損失評価

図8に対する伝送特性の解析結果

【図11】



(a)通常のシミュレーション

(b)条件評価したシミュレーション

全回路を対象にした伝送線路シミュレーション

PRIOR ART INFORMATION LIST

Your case No.	
Our case No.	2001FJ554

Inventor, Country, Number of Document	Patent number, Author, Title,	Issue date	Concise Explanation of the Relevance (indication of page, column, line, figure of the relevant portion)
JP-A-09-274623		Oct.21, 1997	Japanese gazette and its English Abstract